

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-048768

(43)Date of publication of application : 18.02.1992

(51)Int.Cl.

H01L 25/065

H01L 21/60

H01L 23/36

H01L 25/07

H01L 25/18

(21)Application number : 02-155391

(71)Applicant : FUJITSU LTD

(22)Date of filing : 15.06.1990

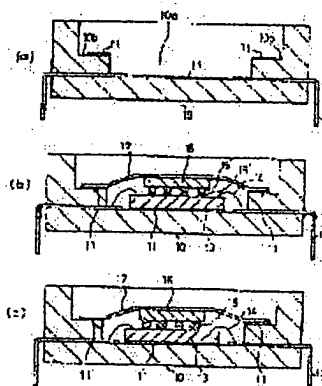
(72)Inventor : SATO HIDEO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

**PURPOSE:** To improve heat dissipating effect of a semiconductor device by providing a copper foil for dissipating heat generated from a second semiconductor element bonded to a first semiconductor element through a solder bump to a package.

**CONSTITUTION:** A recess 10a and a step 10b are formed, and metallized parts 11 are previously formed at an element placing part of the recess and the step. A first semiconductor element 13 is bonded to the recess 10a of a package 10 having leads 12 by Au-Si eutectic alloy, and the electrodes of the element 13 are wired to the leads 12 via wires 14. Then, solder bumps 15, 15' formed with second semiconductor elements 16 (Au deposited films are previously formed on the back surfaces of the elements) are oppositely placed on the element 13. The back surface of the element 16 and a copper foil 17 in contact with the step 10b of the package 10 (an Au film is previously formed) are placed through solder paste. Then, they are heated and connected in a heating furnace, etc.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-48768

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月18日

H 01 L 25/065  
21/60  
23/36  
25/07  
25/18

3 1 1 Q

6918-4M

7638-4M H 01 L 25/08  
7220-4M 23/36

B  
Z

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 平2-155391

⑰ 出 願 平2(1990)6月15日

⑱ 発 明 者 佐 藤 秀 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青 木 朗 外4名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 凹部(10a)を有するパッケージ(10)と、  
該パッケージ(10)の凹部(10a)に収容され  
接合された第1の半導体素子(13)と、

該第1の半導体素子(13)に半田バンプ(15)  
を介して接合された第2の半導体素子(16)と、  
該第2の半導体素子(16)の背面に接合される  
と共にパッケージ(10)にも接合され、第2の半  
導体素子(16)の発生した熱をパッケージ(10)  
に放熱する銅箔(17)とを少なくとも具備したこ  
とを特徴とする半導体装置。

2. 凹部(10a)を有するパッケージ(10)の  
該凹部(10)に第1の半導体素子(13)を収容し、  
AuSi共晶合金で接合した後、該第1の半導体素子  
(13)の電極とパッケージ(10)のリード(12)  
間をワイヤ(14)で配線する工程と、

第1の半導体素子(13)と第2の半導体素子

(16)をそれぞれに設けられた半田バンプ(15'  
15'')を対向させて載置すると共に、第2の半導  
体素子16の背面及びパッケージ(10)の段付部

(10b)に接する銅箔(17)を半田ペーストを介  
して載置した後、加熱して該銅箔(17)を第2の  
半導体素子(16)の背面及びパッケージ(10)の  
段付部10bに半田接合すると共に、第1の半導体  
素子(13)と第2の半導体素子(16)を半田バン  
プ(15'、15'')により接合する工程とを含むこ  
とを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔 概 要 〕

半導体装置及びその製造方法に関し、

複数の半導体素子を重ねてパッケージに収容し  
た半導体装置の放熱効果を向上することを目的と  
し、

凹部を有するパッケージと、該パッケージの凹  
部に収容され接合された第1の半導体素子と、該  
第1の半導体素子に半田バンプを介して接合され  
た第2の半導体素子と、該第2の半導体素子の背

面に接合されると共にパッケージにも接合され、第2の半導体素子の発生した熱をパッケージに放熱する銅箔とを少なくとも具備するように構成する。

〔産業上の利用分野〕

本発明は半導体装置及びその製造方法に関する。

〔従来の技術〕

従来より、例えばアナログ素子とロジック素子、あるいはメモリー素子とロジック素子等2種類以上の半導体素子を重ねて一つのパッケージに収容し複合回路を構成した半導体装置が用いられている。

第3図はこのような半導体装置を示す図である。これは凹部を有するセラミック等の絶縁材料で形成されたパッケージ本体1に第1の半導体素子2が収容接合され、その上に半田バンプ3を介して第2の半導体素子4が接合され、キャップ5で封止されている。なお6は第1の半導体素子2の電

極とリード7との間を配線したワイヤである。

〔発明が解決しようとする課題〕

上記従来の半導体装置では、第2の半導体素子4が作動し発熱しても、素子背後には何もなく熱の逃げ場がないため、素子温度が上昇し、回路が破壊するという問題があった。

本発明は上記従来の問題点に鑑み、複数の半導体素子を重ねてパッケージに収容した半導体装置の放熱効果を向上した半導体装置を提供することを目的とする。

〔課題を解決するための手段〕

上記目的を達成するために本発明の半導体装置では、凹部10aを有するパッケージ10と、該パッケージ10の凹部に収容され接合された第1の半導体素子13と、該第1の半導体素子13に半田バンプ15を介して接合された第2の半導体素子16と、該第2の半導体素子16の背面に接合されると共にパッケージにも接合され、第2の半導体素子16の発

生した熱をパッケージ10に放熱する銅箔17とを少なくとも具備してなることを特徴とする。

また本発明の半導体装置の製造方法では、凹部10aを有するパッケージ10の該凹部10aに第1の半導体素子13を収容しAuSi共晶合金で接合した後、該第1の半導体素子13の電極とパッケージのリード12間をワイヤ14で配線する工程と、第1の半導体素子13と第2の半導体素子16をそれぞれに設けられた半田バンプ15'・15''を対向させて載置すると共に、第2の半導体素子16の背面及びパッケージ10の設付部10bに接する銅箔17を半田ペーストを介して載置した後、加熱して該銅箔17を第2の半導体素子16の背面及びパッケージ10の設付部10bに半田接合すると共に、第1の半導体素子13と第2の半導体素子16を半田バンプ15'・15''により接合する工程とを含むことを特徴とする。

〔作 用〕

第1の半導体素子13の上に半田バンプ15を介して接合された第2の半導体素子16の背面に銅箔17

を接合し、且つ該銅箔17をパッケージ10に接合することにより、第2の半導体素子16で発生する熱は、該銅箔17を通してパッケージ10に放熱される。これにより第2の半導体素子16の温度上昇を抑えることができ、素子が破壊されるのを防止することができる。

〔実施例〕

第1図は本発明の実施例を示す図である。

本実施例は同図に示すように、凹部10aと設付部10bとが形成され且つリード12を有するセラミック等のパッケージ10の該凹部10aに第1の半導体素子13が収容接合され、その電極とリード12との間をワイヤ14で配線されている。また第1の半導体素子13の上には半田バンプ15を介して第2の半導体素子16が接合されている。そして該第2の半導体素子16の背面には銅箔17が接合され、さらに該銅箔17はパッケージ10の設付部10bに接合されている。

このように構成された本実施例は、第2の半導

体素子16で発生した熱は熱伝導の良い銅箔17を通してパッケージ10に放熱される。これにより第2の半導体素子16の温度上昇を抑え、素子が破壊されるのを防止することができる。

次に本発明の半導体素子の製造方法を第2図により説明する。同図において第1図と同一部分は同一符号を符して示した。

本発明方法は、先ず(a)図に示す如き凹部10a及び設付部10bが形成され、予め該凹部の素子搭載部及び設付部にメタライズ11が施され、且つリード12を有するパッケージ10の該凹部10aに、

(b)図の如く第1の半導体素子13をAu-Si共晶合金で接合し、さらに該第1の半導体素子13の電極とリード12との間をワイヤ14で配線する。次いで第1の半導体素子13の上に第2の半導体素子16(該素子の背面には予めAu蒸着被膜を形成しておく)をそれぞれに形成された半田パンプ15・15'・15''を対向させて載置する。またこの第2の半導体素子16の背面及びパッケージ10の設付部10bに接する銅箔17(予めAu被膜が形成されて

いる)を半田ペーストを介して載置する。次にこれを加熱炉等で加熱することにより(c)図の如く銅箔17を第2の半導体素子16の背面及びパッケージ10の設付部10bに接合すると共に、第1の半導体素子13と第2の半導体素子を接合する。この後キャップ18でパッケージ10を封止することにより第1図に示した半導体装置とすることができる。

以上の本発明方法によればアナログ素子とロジック素子、或いはメモリー素子とロジック素子等の複合回路を比較的容易に形成することができる。

#### 〔発明の効果〕

以上説明した様に、本発明によれば、2種類以上の半導体素子で複合回路を構成した半導体装置の放熱性を向上し、且つ該半導体装置を比較的容易に作成することができる。

#### 4. 図面の簡単な説明

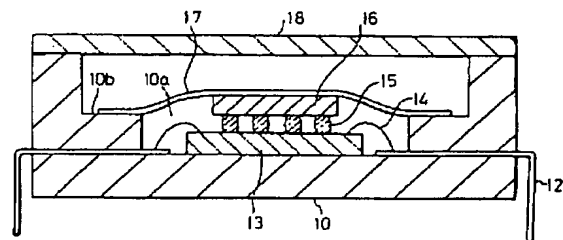
第1図は本発明の半導体装置の実施例を示す図、

第2図は本発明の半導体装置の製造方法を説明するための図、

第3図は従来の半導体装置を示す図である。

図において、

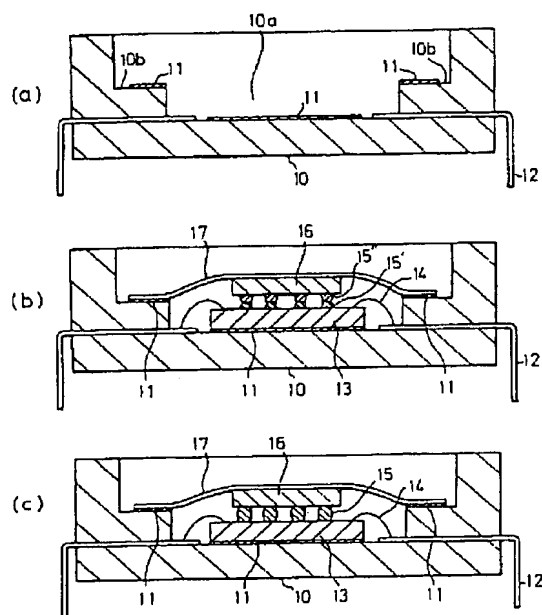
- 10はパッケージ、
  - 11はメタライズ、
  - 12はリード、
  - 13は第1の半導体素子、
  - 14はワイヤ、
  - 15・15'・15''は半田パンプ、
  - 16は第2の半導体素子、
  - 17は銅箔、
  - 18はキャップ
- を示す。



本発明の半導体装置の実施例を示す図

#### 第1図

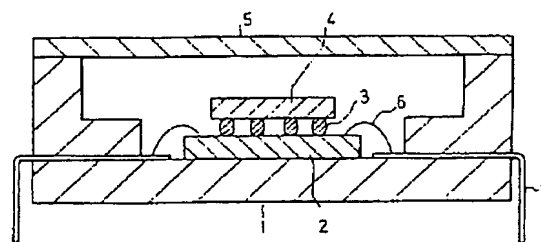
- 10…パッケージ
- 12…リード
- 13…第1の半導体素子
- 14…ワイヤ
- 15…半田パンプ
- 16…第2の半導体素子
- 17…銅箔
- 18…キャップ



本発明の半導体装置の製造方法を説明するための図

第 2 図

- |               |                       |
|---------------|-----------------------|
| 10...パッケージ    | 14...ワイヤ              |
| 11...メタライズ    | 15, 15', 15''...半田バンプ |
| 12...リード      | 16...第2の半導体素子         |
| 13...第1の半導体素子 | 17...銅箔               |



従来の半導体装置を示す図

第 3 図